



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant: Proell, et al. Docket No.: INF-133A  
Serial No.: 10/762,280 Art Unit: 2818  
Filed: January 23, 2004 Examiner: TBD  
For: RAM Store and Control Method Therefor

Mail Stop: Amendment  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**Transmittal of Certified Copy of Priority Document**

Dear Sir:

Attached please find a certified copy of the foreign application from which priority is claimed for this case:

Country: Germany  
Application Number: 103 02 650.9  
Filing Date: January 23, 2003

Respectfully submitted,

Ira S. Matsil  
Reg. No. 35,272  
Attorney for Applicants

Slater & Matsil, L.L.P.  
17950 Preston Rd., Suite 1000  
Dallas, TX 75252  
Tel: 972-732-1001  
Fax: 972-732-9218

# BUNDESREPUBLIK DEUTSCHLAND

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**



## **Prioritätsbescheinigung über die Einreichung einer Patentanmeldung**

**Aktenzeichen:** 103 02 650.9

**Anmeldetag:** 23. Januar 2003

**Anmelder/Inhaber:** Infineon Technologies AG, 81669 München/DE

**Bezeichnung:** RAM-Speicher und Steuerungsverfahren dafür

**IPC:** G 11 C 11/4091

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 2. Februar 2004  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

# MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17  
D-81667 München

Anwaltsakte:	12360	Ko/Ant/mk
Anmelderzeichen:	2002P14056 DE (2002 E 14053 DE 2002 E 14061 DE)	23.01.2003

## **Infineon Technologies AG**

St.-Martin-Straße 53  
81669 München

---

**RAM-Speicher und Steuerungsverfahren dafür**

---

## Beschreibung

### RAM-Speicher und Steuerungsverfahren dafür

- 5 Die Erfindung betrifft einen RAM-Speicher mit Shared-SA-Struktur, bei dem in SA-Streifen zwischen jeweils zwei benachbarten Zellenblöcken angeordnete Senseverstärker jeweils von mehreren Bitleitungspaaren von den benachbarten Zellenblöcken genutzt werden und den Bitleitungspaaren einzeln  
10 jeweils Ladungsausgleichsschaltungen zugeordnet sind, um in einer Prechargephase einen Ladungsausgleich zwischen den Bitleitungshälften der Bitleitungspaare auszuführen, wobei ein Kurzschluss transistor vorgesehen ist, welcher auf ein Steuersignal hin die Bitleitungshälften der in der Prechargephase befindlichen Bitleitungspaare miteinander verbindet,  
15 und ein Steuerungsverfahren für einen derartigen RAM-Speicher.

- In dynamischen Halbleiterspeicherbausteinen (DRAMs) werden  
20 für die Bewertung der Bitleitungs (BL)-Signale Senseverstärker (SAs) eingesetzt, die rechts und links an ein Bitleitungspaar angeschlossen sind. Durch dieses so genannte "Shared-SA"-Konzept entsteht in einem zwischen zwei benachbarten Zellenblöcken liegenden Senseverstärkerstreifen ein flächenoptimiertes Senseverstärkerraster, das üblicherweise die halbe  
25 Wiederholfrequenz gegenüber den Bitleitungspaaren hat.

- Bezug nehmend auf die beiliegenden Fig. 1 und 2 wird eine bislang übliche Schaltungsanordnung für die Verbindung zweier  
30 Bitleitungspaare 11, 12, die jeweils aus komplementären Bitleitungshälften (BLT, BLC) bestehen, mit einem in einem Senseverstärkerstreifen 10 zwischen den Zellenblöcken liegenden Senseverstärker SA und die Schaltungsanordnung für einen in einer Prechargephase für die Bitleitungshälften BLT, BLC  
35 auszuführenden Ladungsausgleich sowie die oben erwähnte Shared-SA-Struktur beschrieben. Zunächst zeigt Fig. 1 die Anord-

nung der Steuerungselemente für ein Bitleitungspaar 11, 12.  
Ein Isolationstransistorpaar 1, 2 wird durch ein über eine  
Iso-Leitung 60 zugeführtes Verbindungssteuersignal (ISO)  
durchgeschaltet, um ein jeweiliges Bitleitungspaar mit dem  
5 Senseverstärker SA zu verbinden. Eine Ladungsausgleichsschal-  
tung weist zwei Driftausgleichstransistoren 4, 5 und einen  
Kurzschluss transistor 3 auf. In Reaktion auf ein über eine  
Steuerleitung 7 zugeführtes Ladungsausgleichssignal EQL  
schließt zum einen der Kurzschluss transistor 3 die beiden  
10 Bitleitungshälften BLT und BLC kurz und zum anderen verbinden  
die Driftausgleichstransistoren die beiden Bitleitungshälften  
BLT und BLC mit einem vorbestimmten Mittenpegel Vmitte (lo-  
kal). Dieser lokale Mittenpegel Vmittel (lokal) wird von  
einem Spannungsgenerator Vmitte (global) über einen Strom-  
15 begrenzer 6 und eine Speiseleitung 8 geliefert, deren Zweck  
später erläutert wird.

Wie Fig. 2 zeigt, sind die in Fig. 1 gezeigten Schaltungs-  
und Steuerungselemente für jedes Bitleitungspaar individuell  
20 vorhanden und steuerbar. Dazu sind in Fig. 2 die Ladungsaus-  
gleichssteuersignale der beiden mit dem Senseverstärker SA  
verbundenen Bitleitungspaare 11 und 12 jeweils mit EQL1 (Lei-  
tung 71) und EQL2 (Leitung 72) bezeichnet. Gleichermaßen  
haben die Verbindungssteuersignale für das linke Bitleitungs-  
25 paar 11 und das rechte Bitleitungspaar 12 die Bezeichnungen  
ISO1 und ISO2 (Leitungen 61 bzw. 62).

Der Mittenpegel Vmitte (lokal) auf den Speiseleitungen 81 und  
82 ist die Spannung, die sich nach dem durch den Kurzschluss-  
30 transistor 3 bewirkten Kurzschließen der gespreizten bzw.  
bewerteten Bitleitungshälften BLT, BLC einstellt. Die Drift-  
ausgleichstransistoren 4, 5 sorgen dafür, dass infolge von  
eventuell vorhandenen Leckpfaden das Mittenpotential auf  
beiden Bitleitungshälften BLT und BLC erhalten bleibt. Da die  
35 Driftausgleichstransistoren 4, 5 also lediglich Leckströme  
kompensieren, sind sie in aller Regel deutlich kleiner ausge-

legt als der die Bitleitungshälften BLT, BLC kurzschließende Transistor 3. Dagegen wird die Prechargezeitdauer im Wesentlichen durch den Kurzschlusstransistor 3 und damit durch dessen Größe und Stromergiebigkeit bestimmt.

5

Nun wird Bezug auf die gleichzeitig eingereichte Patentanmeldung derselben Anmelderin mit dem Titel "RAM-Speicher" (Anwaltsakte 12366; Amtliches Aktenzeichen noch unbekannt) genommen, bei dem ein SA vier Bitleitungspaare nutzt.

10

Ein derartiges Shared-SA-Konzept ist schematisch in der beiliegenden Fig. 3 dargestellt. Wie ersichtlich, können dabei durch die den Isolationstransistorpaaren 1, 2 über die Leitungen 61 - 64 zugeführten Verbindungssteuersignale (ISO1, ISO2, ISO3, ISO4) vier Bitleitungspaare 11, 12 und 13, 14 mit einem Senseverstärker SA verbunden werden. Die Schaltungsstruktur für die einzelnen Bitleitungspaare 11 - 14 kann die oben erläuterte in Fig. 1 gezeigte Anordnung haben. Wie ersichtlich, sind in Fig. 3 die zu den Kurzschlusstransistoren 3 und den Driftausgleichstransistoren 4, 5 der einzelnen Bitleitungspaare 11, 14 führenden Steuersignale mit EQL1 - EQL4 (Steuerleitungen 71 - 74) und die den Mittenpegel Vmitte zuführenden Speiseleitungen mit 81 und 82 bezeichnet.

15

20

25

30

35

Weiterhin besitzen heutige DRAM-Halbleiterspeicherbausteine redundante Speicherelemente, die defekte Bitleitungen (oder Wortleitungen) ersetzen können, um die Ausbeute solcher DRAM-Halbleiterspeicherbausteine zu optimieren. Speziell bei der Bitleitungsreparatur sind heutige Reparaturkonzepte so ausgelegt, dass ein Bitleitungspaar (zum Beispiel 11) des Senseverstärkers repariert, das heißt durch ein redundantes Bitleitungspaar ersetzt werden kann, indem mit dieser Bitleitungsadresse auf ein redundantes Element im gleichen Wortleitungsaktivierungsblock zugegriffen wird, während die anderen Bitleitungspaare, zum Beispiel 12 - 14 desselben Senseverstärkers SA nach wie vor verwendet werden.

Hat nun ein Bitleitungspaar beispielsweise einen Kurzschluss zu einem festen Potential (zum Beispiel VSS) und wird aus diesem Grund durch ein funktionsfähiges redundantes Bitleitungspaar ersetzt, können dadurch die weiteren Bitleitungspare des Senseverstärkers, an dem sich das ersetzte und nach wie vor nach VSS kurzgeschlossene Bitleitungspaar befindet, in Mitleidenschaft gezogen werden. Da bei dem in der Prechargephase aktivierten Ladungsausgleich jede Bitleitung, auch reparierte, an denselben Mittenpegelgenerator Vmitte (global) angeschlossen sind, muss sichergestellt sein, dass ein Bitleitungspaar, das durch einen Kurzschluss zum Beispiel auf VSS (0 Volt) geklemmt ist, auch nach seinem Ersetzen durch ein redundantes Bitleitungspaar den Mittenpegelgenerator Vmitte nicht unnötig belastet oder sogar dessen Spannung beeinflusst. Aus diesem Grund sind, wie Fig. 1 zeigt, für jede individuelle Bitleitungsreparatureinheit die Strombegrenzer 6 in die Mittenpegelversorgung eingebaut. Die Strombegrenzer 6 erzeugen somit pro Bitleitungsreparatureinheit (zum Beispiel ein Bitleitungspaar) den lokalen Mittenpegel Vmitte (lokal), der im Normalfall dem normalen Mittenpegel Vmitte (global) entspricht. Für den Fall einer zum Beispiel auf VSS geklemmten defekten und daher ersetzten Bitleitung koppelt der Strombegrenzer 6 die lokale Mittenspannung Vmitte (lokal) vom globalen Netz ab und verhindert dessen Überlastung.

Ein Problem entsteht bei der üblichen DRAM-Halbleiterspeicherstruktur, dass ein auf VSS geklemmtes und repariertes Bitleitungspaar während der Prechargephase in anderer Form Einfluss auf die Leistungsfähigkeit der weiteren am selben Senseverstärker SA hängenden nicht reparierten Bitleitungspare nimmt. In der Prechargephase findet trotz entkoppeltem lokalen Mittenpegel für das defekte und das intakte Bitleitungspaar eine Beeinflussung des Mittenpegels über die im Prechargefall durchgeschalteten Isolationstransistoren 1, 2 statt. Das heißt, dass das ursprünglich auf Mittenpegel be-

findliche Bitleitungspaar (z. B. 11) über die Isolationstransistoren der beiden Bitleitungspaare mit dem Pegel des defekten Bitleitungspaares verbunden wird, der leider nicht den korrekten Mittenpegel hat. Zwar wird durch den Strombegrenzer  
5 6 des intakten Bitleitungspaares 11 eine Rückkopplung ins Mittenpegelnetz verhindert, dennoch aber alle am lokalen Mittenpegel Vmitte (lokal) des intakten Bitleitungspaares befindlichen weiteren Bitleitungspaare in derselben Weise vom defekten Bitleitungspaar beeinflusst.

10

Nun sei angenommen, dass in einer darauf folgenden Phase eine am intakten Bitleitungspaar (zum Beispiel 11) befindliche Speicherzelle durch eine Wortleitung ausgewählt wird. Aufgrund des durch die defekte Bitleitung zu VSS hin verschobenen Mittenpegel am intakten Bitleitungspaar (zum Beispiel 11)  
15 wird der Signalhub für eine mit VSS ("0") geladene Speicherzelle, die an das intakte Bitleitungspaar 11 geschalten wird, zunehmend geringer, und das korrekte Erkennen der Information in der Speicherzelle durch den Senseverstärker wird erschwert. Analog wird die Erkennung einer "1" bei einem zu VCC hin verschobenen Mittenpegel erschwert. Zusätzlich arbeitet der Senseverstärker nicht in seinem regulären Arbeitspunkt, was zu einem langsameren Erkennen der Information oder zu einer verringerten Empfindlichkeit des Senseverstärkers führen kann.  
20  
25

Nach dem oben Gesagten ist es Aufgabe der Erfindung, einen RAM-Speicher mit Shared-SA-Struktur zu schaffen, bei dem Schaltungsfläche für die Kurzschlusstransistoren eingespart  
30 werden und der dadurch dichter gepackt werden kann und bei dem das oben beschriebene Problem der Beeinflussung intakter an einem gemeinsamen Senseverstärker hängender Bitleitungspaare von einem defekten und durch ein redundantes Bitleitungspaar ersetztes Bitleitungspaar vermieden ist, sowie ein  
35 dafür geeignetes Steuerungsverfahren anzugeben.



Diese Aufgabe wird anspruchsgemäß gelöst.

Gemäß einem ersten wesentlichen Aspekt ist ein gattungsgemäßer RAM-Speicher mit Shared-SA-Struktur erfindungsgemäß dadurch gekennzeichnet, dass der Kurzschluss transistor gemeinsam für alle mit einem jeweiligen Senseverstärker verbindbaren Bitleitungspaare im bzw. am jeweiligen Senseverstärker angeordnet und über eine eigene Steuerleitung durch ein separates Kurzschlusssteuersignal schaltbar ist.

Gemäß einem zweiten wesentlichen Aspekt ist ein die obige Aufgabe lösendes Verfahren zur Steuerung eines in Shared-SA-Struktur aufgebauten RAM-Speichers mit der Erzeugung eines Verbindungssteuersignals zur Verbindung von zwischen zwei benachbarten Zellenblöcken angeordneten Senseverstärkern jeweils mit einem von mehreren Bitleitungspaaren von den benachbarten Zellenblöcken und Erzeugung eines Precharge-Steuersignals, um in einer Prechargephase einen Ladungsausgleich zwischen den Bitleitungshälften der demselben Senseverstärker zugeordneten Bitleitungspaare auszuführen und die Bitleitungshälften miteinander zu verbinden, erfindungsgemäß dadurch gekennzeichnet, dass die Bitleitungshälften der demselben Senseverstärker zugeordneten Bitleitungspaare mittels eines in/an jedem Senseverstärker angeordneten Kurzschluss transistors kurzgeschlossen werden und dafür diesem Kurzschluss transistor ein eigenes Kurzschlusssteuersignal zugeführt wird. Dieses Kurzschlusssteuersignal ist somit von dem für den Ladungsausgleich der einzelnen Bitleitungspaare sorgenden Prechargesteuersignal getrennt.

Eine Ausführungsform dieses Steuerungsverfahrens ist dadurch gekennzeichnet, dass in der Aktivierungsphase für ein bestimmtes Bitleitungspaar dessen Prechargesteuersignal und das dem Kurzschluss transistor im/am Senseverstärker zugeführte Kurzschlusssteuersignal deaktiviert und nur das Verbindungssteuersignal für dieses Bitleitungspaar aktiviert werden und

dass in der dieser Aktivierungsphase unmittelbar folgenden Prechargephase, in der keines der dem Senseverstärker zugeordneten Bitleitungspaare aktiviert ist, die Verbindungssteuersignale zur Verbindung der Bitleitungshälften aller diesem Senseverstärker zugeordneten Bitleitungspaare erzeugt und dem Kurzschluss transistor das Kurzschlusssteuersignal und den Bitleitungshälften aller dieser Bitleitungspaare ein Mittenpegel zugeführt wird.

10 In einer zweiten alternativen Ausführungsform ist das erfindungsgemäße Steuerungsverfahren dadurch gekennzeichnet, dass für ein Redundanzkonzept, bei dem ein defektes Bitleitungspaar durch ein redundantes Bitleitungspaar ersetzt wird, in der Aktivierungsphase für ein intaktes Bitleitungspaar unter  
15 den demselben Senseverstärker zugeordneten Bitleitungspaaren sowohl das Prechargesteuersignal für das intakte Bitleitungspaar als auch das dem Kurzschluss transistor im Senseverstärker zugeführte Kurzschlusssteuersignal deaktiviert und nur das Verbindungssteuersignal für dieses intakte Bitleitungspaar aktiviert wird und in der der Aktivierungsphase folgenden Prechargephase, in der keines der diesem Senseverstärker zugeordneten Bitleitungspaare aktiviert ist, das Verbindungssteuersignal ausschließlich für das zuvor aktivierte, intakte Bitleitungspaar bis zum nächsten Aktivierungsbefehl auf der  
20 gleichen Bank, das Kurzschlusssteuersignal für den Kurzschluss transistor und die Prechargesteuersignale aktiviert werden.

Wie schon erwähnt, kann bei einem Ausführungsbeispiel jeweils  
30 ein Bitleitungspaar von einem linken und rechten benachbarten Zellenblock, das heißt insgesamt zwei Bitleitungspaare auf denselben Senseverstärker aufgeschaltet werden. Bei einem alternativen Ausführungsbeispiel können jeweils zwei Bitleitungspaare von einem linken und rechten benachbarten Zellenblock, das heißt insgesamt vier Bitleitungspaare demselben  
35 Senseverstärker aufgeschaltet werden. Bei einem Zweifach-

Shared-Senseverstärker hat ein erfindungsgemäßer RAM-Speicher die Einsparung der Fläche eines Kurzschlusstransistors und bei einem Vierfach-Shared-Senseverstärker bringt die Erfindung den Vorteil einer Einsparung von drei Kurzschlusstransistoren. Allerdings ist bei dem erfindungsgemäßen RAM-Speicher die zusätzliche Steuerleitung im Senseverstärkerstreifen geführt, die mit dem separaten Kurzschlusssteuersignal alle Kurzschlusstransistoren eines SA-Streifens schaltet.

Die obigen und weitere vorteilhafte Merkmale eines erfindungsgemäßen RAM-Speichers und Steuerungsverfahrens dafür werden in der nachfolgenden Beschreibung anhand von Ausführungsbeispielen näher erläutert, die Bezug auf die beiliegenden Figuren nehmen.

Die Zeichnungsfiguren zeigen im Einzelnen:

Fig. 1            schematisch eine eingangs bereits beschriebene Steuerschaltung für ein Bitleitungspaar;

Fig. 2            ein schematisches Blockdiagramm einer Shared-SA-Struktur, bei der zwei Bitleitungspaare auf denselben Senseverstärker aufschaltbar sind (eingangs bereits beschrieben);

Fig. 3            ein schematisches Blockdiagramm einer Shared-SA-Struktur, bei der vier Bitleitungspaare von zwei benachbarten Zellenblöcken auf einen einzigen Senseverstärker aufschaltbar sind;

Fig. 4            schematisch eine erfindungsgemäße Steuerungschaltung für ein jeweiliges Bitleitungspaar;

Fig. 5            ein schematisches Blockdiagramm einer Shared-SA-Struktur anhand eines Abschnitts eines ersten Ausführungsbeispiel eines erfindungsgemäßen RAM-Speichers, bei dem zwei Bitleitungspaare von be-

nachbarten Zellenblöcken einen gemeinsamen Senseverstärker nutzen;

Fig. 6 schematisch ein Blockdiagramm eines Abschnitts eines zweiten Ausführungsbeispiels eines erfindungsgemäßen RAM-Speichers mit Shared-SA-Struktur, bei dem vier Bitleitungspaare von zwei benachbarten Zellenblöcken einen gemeinsamen Senseverstärker nutzen;

Fig. 7A, 7B, 7C drei Signalzeitdiagramme zur Erläuterung eines ersten Ausführungsbeispiels eines Steuerungsverfahrens für einen erfindungsgemäßen RAM-Speicher gemäß Fig. 5 oder 6;

Fig. 8A, 8B, 8C drei Signalzeitdiagramme zur Erläuterung von Problemen, die bei der Aufschaltung mehrerer Bitleitungspaare auf einen gemeinsamen Senseverstärker bei einem mit redundanten Bitleitungspaaren versehenen herkömmlichen DRAM-Speicher auftreten, und

Fig. 9A, 9B, 9C drei Signalzeitdiagramme zur Erläuterung eines zweiten Ausführungsbeispiels eines erfindungsgemäßen Steuerungsverfahrens für einen mit einer Redundanzfunktion für defekte Bitleitungen ausgestatteten erfindungsgemäßen RAM-Speicher gemäß der Fig. 5 oder 6.

In der in Fig. 4 gezeigten Steuerschaltung für Bitleitungspaare 21 - 24 (vgl. Fig. 5 und 6) ist der zuvor erläuterte und in Fig. 1 gezeigte Kurzschluss transistor 3 nicht mehr vorhanden. Die sonstigen Steuerungselemente, nämlich die Isolationstransistoren 1, 2, die das Verbindungssteuersignal ISO zuführende Steuerleitung 60, die Driftausgleichstransistoren 4, 5, die für jede Bitleitungshälfte BLT, BLC eines

Bitleitungspaars 21 - 24 angeordnet sind, die das Prechargesteuersignal EQL zuführende Steuerleitung 7 und die den Mittenpegel Vmitte (lokal) zuführende Speiseleitung 8 sowie der Strombegrenzer 6 sind dieselben wie in Fig. 1.

5

In Fig. 5 ist ein Abschnitt eines ersten Ausführungsbeispiels eines erfindungsgemäßen RAM-Speichers dargestellt, bei dem zwei Bitleitungspaare 21 und 22 die gemäß Fig. 4 gesteuert sind, den gemeinsamen im Senseverstärkerstreifen 10 liegenden Senseverstärker SA nutzen. Anders als in bislang üblichen RAM-Speichern (vgl. die eingangs beschriebenen Fig. 1 bis 3) ist nun der Kurzschluss transistor 30 im bzw. am Senseverstärker SA angeordnet, der durch ein separates über eine im SA-Streifen geführte Leitung 9 angelegtes Kurzschlusssteuersignal EQLx gesteuert wird.

10

15

Verbindungssteuersignale IS01, IS02, Prechargesteuersignale EQL1, EQL2 und die Mittenspannung Vmitte (lokal) werden jeweils durch Steuerungs- bzw. Speiseleitungen 61, 71, 81 für das Bitleitungspaar 21 sowie 62, 72 und 82 für das Bitleitungspaar 22 zugeführt. Die Bitleitungshälften des Bitleitungspaars 21 sind mit BLT1 und BLC1 und die für das Bitleitungspaar 22 mit BLT2 und BLC2 bezeichnet.

20

25

Fig. 6 zeigt einen Abschnitt eines zweiten Ausführungsbeispiels eines erfindungsgemäßen RAM-Speichers, bei dem vier Bitleitungspaare 21 - 24 denselben im Senseverstärker 10 liegenden Senseverstärker SA nutzen, der ebenso, wie zuvor anhand der Fig. 5 beschrieben, den Kurzschluss transistor 30 aufweist bzw. enthält. Für die beiden Bitleitungspaare 21, 23 des linken Zellenblocks werden die Verbindungssteuersignale IS01, IS03 jeweils über Steuerleitungen 61, 63 und die Prechargesteuersignale EQL1 und EQL3 jeweils über Steuerleitungen 71 und 73 zugeführt, während das Mittenpotential Vmitte (lokal) über die Speiseleitung 81 zugeführt wird.

30

35

Gleichermaßen erhalten die beiden Bitleitungspaare 22, 24 im rechten Zellenblock jeweils über Steuerleitungen 62 und 64 die Verbindungssteuersignale ISO2 und ISO4 und über Steuerleitungen 72 und 74 jeweils die Prechargesteuersignale EQL2 und EQL4, während das Mittenpotential Vmitte (lokal) über eine Speiseleitung 82 zugeführt wird. Die Bitleitungshälften der vier Bitleitungspaare 21 - 24 sind jeweils mit BLT1, BLC1; BLT2, BLC2; BLT3, BLC3 und BLT4, BLC4 bezeichnet.

Bei dem in Fig. 5 gezeigten ersten Ausführungsbeispiel erzielt die Erfindung eine Einsparung eines Kurzschlusstransistors für jeweils zwei Bitleitungspaare, während bei dem in Fig. 6 gezeigten Ausführungsbeispiel drei Kurzschlusstransistoren für jeweils vier Bitleitungspaare eingespart werden.

Beiden oben anhand der Fig. 4 bis 6 beschriebenen Ausführungsbeispielen eines erfindungsgemäßen RAM-Speichers wird zum Schalten aller Kurzschlusstransistoren 30 in allen SAs eines SA-Streifens 10 ein separates Kurzschlusssteuersignal EQLx über eine Steuerleitung 9 zugeführt. Somit schaltet das Kurzschlusssteuersignal EQLx alle Kurzschlusstransistoren 30 eines SA-Streifens 10.

Die Fig. 7A, 7B und 7C zeigen in drei Signalzeitdiagrammen ein erfindungsgemäßes Steuerungsverfahren für einen gemäß den Fig. 4 bis 6 gestalteten erfindungsgemäßen RAM-Speicher über drei Phasen ①, ②, ③, die einen Aktivierungs- und einen darauf folgenden Prechargebefehl beispielhaft für das Bitleitungspaar 21 umfassen. Es ist zu bemerken, dass die Phase ① der Phase ③ entspricht. Eine X1-Aktivierung (Wortleitungsaktivierung) einer auf dem Bitleitungspaar 21 befindlichen Speicherzelle ist in Phase ② dargestellt.

Phase ①: Keine der im Bereich des Senseverstärkers befindlichen X-Adressen ist aktiviert. Alle Isolationstransistorpaare 1, 2 der Bitleitungspaare 21, 22 (Fig. 5) oder 21 - 24 (Fig. 6) sind durch das ihnen angelegte Steuersignal ISO1, ISO2

oder ISO1 - ISO4 durchgesteuert; da der Kurzschluss transistor durch das Signal EQLx geschlossen ist, kann er auf alle Bitleitungspaare 21, 22 oder 21 - 24 wirken; weiterhin verbinden die Driftausgleichstransistoren 4, 5 durch die ihnen anliegenden Prechargesteuersignale EQL1, 2 oder EQL1 - 4 alle Bitleitungspaare mit dem Mittenpegelgenerator (über den Strombegrenzer 6).

Phase ②: Durch die Aktivierung X1 einer Wortleitung wird eine an dem Bitleitungspaar 21 liegende Speicherzelle ausgewählt. Durch das entaktivierte Prechargesteuersignal EQL1 wird das Bitleitungspaar 21 vom Mittenpegelgenerator getrennt. Das andere Bitleitungspaar 22 bzw. die anderen Bitleitungspaare 22 - 24 bleiben durch die den jeweiligen Driftausgleichstransistoren 4, 5 anliegenden Prechargesteuersignale EQL2 oder EQL2 - 4 mit dem Mittenpegelgenerator verbunden, wodurch auch weiterhin ein Absinken des Mittenpegels auf den Bitleitungspaaren 22 oder 22 - 24 durch eventuelle Leckströme verhindert wird. Durch die Entaktivierung der Verbindungssteuersignale ISO2 oder ISO2 - 4 trennen die Isolationstransistoren das zweite Bitleitungspaar 22 oder das zweite bis vierte Bitleitungspaar 22 - 24 vom Senseverstärker SA. Für das Bitleitungspaar 21 bleiben die Isolationstransistoren durch das Verbindungssteuersignal ISO1 eingeschaltet; der Kurzschluss transistor wird durch das tiefliegende EQLx ausgeschaltet, so dass das Bitleitungspaar 21 vom Senseverstärker SA bewertet werden kann.

Phase ③: Nach dem Prechargekommando für X1 werden die Driftausgleichstransistoren 4, 5 für das Bitleitungspaar 21 durch das Prechargesteuersignal EQL1 wieder an den Mittenpegelgenerator geschaltet. Gleichzeitig schaltet der niederohmige Kurzschluss transistor durch die Ansteuerung mit dem Signal EQLx das Bitleitungspaar 21 kurz. Die dabei noch auf Mittenpegel befindlichen anderen Bitleitungspaare 22 oder 22 - 24 werden über die Isolationstransistoren 1, 2 des zweiten Bit-

leitungspaars 22 oder der zweiten bis vierten Bitleitungspaa-  
re 22 - 24 (ISO2 - 4) ebenfalls wieder mit dem Senseverstär-  
ker verbunden und beschleunigen ihrerseits den Ladungsaus-  
gleich (Precharge) für das Bitleitungspaar 21.

5

Oben wurde bezogen auf die Fig. 7A, 7B und 7C ein erstes  
Ausführungsbeispiel eines erfindungsgemäßen Steuerungsverfah-  
rens für einen gemäß den Fig. 4 und 5 oder 4 und 6 mit Sha-  
red-SA-Struktur angeordneten erfindungsgemäßen RAM-Speicher  
beschrieben.

10

Anhand der Fig. 8A, 8B und 8C, die schematisch drei Signal-  
zeitdiagramme von Precharge- und Verbindungssteuersignalen  
einer herkömmlichen DRAM-Halbleiterspeicherschaltung in Sha-  
red-SA-Struktur gemäß den Fig. 1 bis 3 zeigen, wird nun die  
Beeinflussung des Mittenpegels durch eine defekte und durch  
eine redundante Bitleitung ersetzte Bitleitung näher erläu-  
tert. Dabei soll bemerkt werden, dass die Signalzeitdiagramme  
der Fig. 8A und 8B mit den oben beschriebenen Signalzeitdia-  
grammen der Fig. 7A und 7B identisch sind. Somit wird primär  
auf Fig. 8C Bezug genommen. Bereits in der Prechargephase ①  
wird deutlich, dass trotz dem durch den Strombegrenzer 6  
entkoppelten lokalen Mittenpegel VMitte der einen einzigen  
Senseverstärker SA nutzenden Bitleitungspaare 21, 22 oder 21  
- 24 eine Beeinflussung des Mittenpegels über die in der  
Prechargephase ① durchgeschalteten Isolationstransistoren 1,  
2 stattfindet. Vorausgesetzt sei ein intaktes Bitleitungspaar  
(beispielsweise 11) und ein defektes durch ein redundantes  
Bitleitungspaar ersetztes Bitleitungspaar (zum Beispiel 12  
oder 13 oder 14), welche durch einen Kurzschluss auf den  
Pegel VSS (0 Volt) geklemmt sein soll. Das ursprünglich auf  
dem Mittenpegel VMitte befindliche intakte Bitleitungspaar 11  
wird über die Isolationstransistoren 1, 2 entweder des defek-  
ten Bitleitungspaars 12 oder eines defekten Bitleitungspaars  
12, 13, 14 mit dem falschen Pegel des defekten Bitleitungs-  
paars verbunden. Zwar wird über den Strombegrenzer 6 des

15

20

25

30

35



intakten Bitleitungspaars 11 eine Rückkopplung ins Mittenpegelnetz verhindert, dennoch aber alle am lokalen Mittenpegel des Bitleitungspaars 11 befindlichen Bitleitungspaare in der gleichen Weise von dem defekten Bitleitungspaar (zum Beispiel 12) beeinflusst.

Aktivierungsphase ②: In dieser Phase wird nun beispielhaft eine am intakten Bitleitungspaar 11 befindliche Speicherzelle durch die Wortleitung X1 aufgrund des Aktivierungsbefehls ausgewählt. Durch den zu VSS (0 Volt) hin verschobenen Mittenpegel des Bitleitungspaars 11 wird der Signalhub für eine mit VSS ("0") geladene Zelle, die an das Bitleitungspaar 11 geschalten wird, zunehmend geringer, und das korrekte Erkennen der Zellinformation durch den Senseverstärker SA wird erschwert oder unmöglich. Analog wäre die Erkennung einer "1" bei zu VCC hin verschobenem Mittenpegel erschwert oder unmöglich. Außerdem arbeitet der Senseverstärker SA nicht in seinem regulären Arbeitspunkt, was zu langsamerem Sensing oder zu geringerer Senseempfindlichkeit führen kann.

Phase ③ zeigt einen erneuten Precharge, bei dem der Kurzschluss transistor 3 (Fig. 1) des Bitleitungspaars 11 anfänglich das gespreizte Bitleitungspaar 11 auf den Mittenpegel ausgleicht. Danach wird das Bitleitungspaar 11 über die Isolationstransistoren 1, 2 wieder auf das feste VSS-Potential (0 Volt) der defekten Bitleitung (zum Beispiel 12) gezogen.

Der erfindungsgemäße RAM-Speicher, bei dem sich der Kurzschluss transistor 30 nicht an den einzelnen Bitleitungspaaren sondern statt dessen im oder am Senseverstärker SA befindet und durch ein separates Kurzschlusssteuersignal EQLx über die im SA-Streifen 10 geführte Steuerleitung 9 angesteuert wird, schafft für das obige Problem Abhilfe. Dies wird nun anhand der drei in Fig. 9A, 9B und 9C schematisch dargestellten Signalzeitdiagramme erläutert, die ein zweites Ausführungsbeispiel eines erfindungsgemäßen Steuerverfahrens repräsentieren.

tieren. Die zeitliche Folge der Prechargesteuersignale EQL1, EQL2, EQL3, EQL4 und des Kurzschlusssteuersignals EQLx, wie sie Fig. 9A zeigt, ist genauso wie bei dem oben anhand der Fig. 7 erläuterten ersten Ausführungsbeispiel des erfindungs-  
5 gemäßen Steuerverfahrens.

Fig. 9B zeigt, dass abweichend von dem in Fig. 7B gezeigten ersten Ausführungsbeispiel des RAM-Speichersterverfahrens die Isolationstransistoren 1, 2 nie gemeinsam geöffnet sind.  
10 Das betreffende, intakte Bitleitungspaar, zum Beispiel 21 wird nur während der Aktivierungsphase ②, also während eines Sensingvorgangs und des nachfolgenden Prechargevorgangs gemäß Phase ③ bis zum nächsten Aktivierungsbefehl auf der gleichen Bank gemäß Phase ④ von den entsprechenden Isolationstransis-  
15 toren 1 und 2 an den Senseverstärker SA durchgeschaltet. Das im Beispiel nicht angesprochene, durch ein redundantes Bitleitungspaar reparierte Bitleitungspaar, zum Beispiel 22, wird durch die entaktivierten Isolationstransistoren 1, 2 derselben nicht über den Senseverstärker SA an das intakte  
20 Bitleitungspaar, z. B. 21 geschaltet und kann dieses somit nicht beeinflussen. Auch in einer unmittelbar aufeinander folgenden Aktivierung von dem reparierten Bitleitungspaar z. B. 22 und dem intakten Bitleitungspaar 21 wirkt der verschobene Mittenpegel des defekten Bitleitungspaares, z. B. 22  
25 nicht auf das intakte Bitleitungspaar, z. B. 21 zurück, da die Isolationstransistoren 1, 2 beider Bitleitungspaare nie gemeinsam geöffnet sind.

Da die kritische Prechargezeit, wie auch bisher schon, durch  
30 eine erneute Aktivierung auf die zuletzt gespreizten Bitleitungen bestimmt wird, wird die kritische Prechargezeit des Chips durch den oben erläuterten und in den Fig. 4 bis 6 gezeigten erfindungsgemäßen RAM-Speicher nicht verschlechtert. Auf die positive Unterstützung des zweiten, sich be-  
35 reits im Precharge befindlichen Bitleitungspaares (über die geschalteten Isolationstransistoren 1, 2) in der Prechar-

gephase wird bei dem zweiten Ausführungsbeispiel des Steuerungsverfahrens bewusst verzichtet. Dieser Effekt könnte das  $t_{RP}$  des erfindungsgemäßen RAM-Speichers gegenüber den bisherigen RAM-Speichern geringfügig verschlechtern. Allerdings  
5 gibt es auch bei bisherigen RAM-Speichern Senseverstärker im Randbereich des Chips, die diese Unterstützung nicht erfahren und daher ein vergleichbares kritisches  $t_{RP}$  wie beim erfindungsgemäßen RAM-Speicher aufweisen.

10 Es muss noch erwähnt werden, dass bei der obigen Beschreibung des zweiten Ausführungsbeispiels des erfindungsgemäßen Steuerungsverfahrens in Fig. 9 beispielhaft von einem intakten Bitleitungspaar (z. B. 21) und einem durch ein redundantes Bitleitungspaar reparierten defekten Bitleitungspaar (zum  
15 Beispiel 22) ausgegangen wurde.

Selbstverständlich können die anhand der Fig. 9A, 9B und 9C für zwei einen gemeinsamen Senseverstärker SA nutzende Bitleitungspaare beschriebenen Verfahrensschritte auch auf die  
20 in Fig. 6 gezeigte Shared-SA-Struktur ausgedehnt werden, bei der vier Bitleitungspaare einen gemeinsamen Senseverstärker SA nutzen.

---

Patentansprüche

1. RAM-Speicher mit Shared-SA-Struktur, bei dem  
- in SA-Streifen (10) zwischen jeweils zwei benachbarten  
5 Zellenblöcken angeordnete Senseverstärker (SA) von mehreren  
Bitleitungspaaren (21, 22; 21 - 24) von den benachbarten  
Zellenblöcken genutzt werden und  
- den Bitleitungspaaren (21, 22; 21 - 24) einzeln jeweils  
10 Ladungsausgleichsschaltungen zugeordnet sind, um in einer  
Prechargephase einen Ladungsausgleich zwischen den Bitlei-  
tungshälften der Bitleitungspaare (21, 22; 21 - 24) auszu-  
führen, wobei ein Kurzschluss transistor (30) vorgesehen  
ist, welcher auf ein Steuersignal (EQLx) hin die Bitlei-  
15 tungshälften (BLT, BLC) der in der Prechargephase befindli-  
chen Bitleitungspaare (21, 22; 21 - 24) miteinander verbin-  
det,

d a d u r c h g e k e n n z e i c h n e t ,  
dass der Kurzschluss transistor (30) gemeinsam für alle mit  
einem jeweiligen Senseverstärker (SA) verbindbaren Bitlei-  
20 tungspaare (21, 22; 21 - 24) im bzw. am jeweiligen Sensever-  
stärker (SA) angeordnet und über eine eigene Steuerleitung  
(9) durch ein separates Kurzschlusssteuersignal (EQLx)  
schaltbar ist.

25 2. RAM-Speicher nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass ein jeweiliger Senseverstärker (SA) mit jeweils einem  
von zwei Bitleitungspaaren (21, 22) von einem linken und  
rechten benachbarten Zellenblock verbindbar ist.

30 3. RAM-Speicher nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass ein jeweiliger Senseverstärker (SA) mit jeweils einem  
von vier Bitleitungspaaren (21, 23 und 22, 24) von einem  
35 linken und rechten benachbarten Zellenblock verbindbar ist.

4. RAM-Speicher nach einem der vorangehenden Ansprüche,  
dadurch gekennzeichnet,  
dass das über die den Kurzschlusstransistoren (30) eigene  
Steuerleitung (9) zugeführte separate Kurzschlusssteuersignal  
5 (EQLx) alle Kurzschlusstransistoren (30) eines SA-Streifens  
(10) schaltet.

5. Verfahren zur Steuerung eines in Shared-SA-Struktur aufge-  
bauten RAM-Speichers mit folgenden Schritten:

10 - Erzeugung eines Verbindungssteuersignals (ISO) zur Verbin-  
dung von zwischen jeweils zwei benachbarten Zellenblöcken  
angeordneten Senseverstärkern (SA) jeweils mit einem von  
mehreren Bitleitungspaaren (21, 22; 21 - 24) von den be-  
nachbarten Zellenblöcken;

15 - Erzeugung eines Precharge-Steuersignals (EQL), um in einer  
Prechargephase einen Ladungsausgleich zwischen den Bitlei-  
tungshälften (BLT, BLC) der demselben Senseverstärker (SA)  
zugeordneten Bitleitungspaare (21, 22; 21 - 24) auszuführen  
und die Bitleitungshälften (BLT, BLC) miteinander zu ver-  
20 binden,

dadurch gekennzeichnet,  
dass die Bitleitungshälften (BLT, BLC) der demselben Sense-  
verstärker (SA) zugeordneten Bitleitungspaare (21, 22; 21 -  
24) mittels eines in oder an jedem Senseverstärker (SA) ange-  
25 ordneten Kurzschlusstransistors (30) kurzgeschlossen werden  
und dafür diesem Kurzschlusstransistor (30) ein eigenes Kurz-  
schlusssteuersignal (EQLx) zugeführt wird.

6. Steuerverfahren für einen RAM-Speicher nach Anspruch 5,  
30 dadurch gekennzeichnet,  
dass in der Aktivierungsphase für ein bestimmtes Bitleitungs-  
paar (z. B. 21) dessen Prechargesteuersignal (EQL) und das  
dem Kurzschlusstransistor (30) zugeführte Kurzschlusssteuer-  
signal (EQLx) deaktiviert und nur das Verbindungssteuersignal  
35 (ISO1) für dieses Bitleitungspaar aktiviert werden und dass  
in der dieser Aktivierungsphase unmittelbar folgenden Pre-

chargephase (1, 3), in der keines der dem Senseverstärker (SA) zugeordneten Bitleitungspaare (21, 22; 21 - 24) aktiviert ist, die Verbindungssteuersignale (ISO) zur Verbindung der Bitleitungshälften (BLT, BLC) aller diesem Senseverstärker (SA) zugeordneten Bitleitungspaare (21, 22; 21 - 24) erzeugt und dem Kurzschluss transistor (30) das Kurzschlusssteuersignal (EQLx) und den Bitleitungshälften (BLT, BLC) aller dieser Bitleitungspaare (21, 22; 21 - 24) ein Mittenpegel (Vmitte (lokal)) zugeführt wird.

7. Steuerverfahren für einen RAM-Speicher nach Anspruch 5, dadurch gekennzeichnet, dass für ein Redundanzkonzept, bei dem ein defektes Bitleitungspaar (z. B. 22) durch ein redundantes Bitleitungspaar ersetzt wird, in der Aktivierungsphase für ein intaktes Bitleitungspaar (z. B. 21) unter den demselben Senseverstärker (SA) zugeordneten Bitleitungspaaren sowohl das Prechargesteuersignal (z. B. EQL1) für das intakte Bitleitungspaar (z. B. 21) als auch das dem Kurzschluss transistor (30) zugeführte Kurzschlusssteuersignal (EQLx) deaktiviert und nur das Verbindungssteuersignal (z. B. ISO1 für dieses intakte Bitleitungspaar z. B. 21) aktiviert wird in der dieser Aktivierungsphase folgenden Prechargephase, in der keines der diesem Senseverstärker (SA) zugeordneten Bitleitungspaare (21, 22; 21 - 24) aktiviert ist, das Verbindungssteuersignal (z. B. ISO1) ausschließlich für das zuvor aktivierte, intakte Bitleitungspaar (z. B. 21) bis zum nächsten Aktivierungsbefehl auf der gleichen Bank, das Kurzschlusssteuersignal (EQLx) für den Kurzschluss transistor (30) aktiviert und die Bitleitungshälften (BLT, BLC) aller diesem Senseverstärker (SA) zugeordneten Bitleitungspaare (21, 22; 21 - 24) mit dem Mittenpegel beaufschlagt werden.

8. Steuerverfahren für einen RAM-Speicher nach einem der Ansprüche 5 bis 7,

d a d u r c h g e k e n n z e i c h n e t ,

5 dass durch das Verbindungssteuersignal (ISO) in einer Bitleitungsbewertungsphase jeweils eines von zwei Bitleitungspaaren (21, 22) von den benachbarten Zellenblöcken dem jeweiligen Senseverstärker (SA) aufgeschaltet wird.

9. Steuerverfahren für einen RAM-Speicher nach einem der Ansprüche 5 bis 7,

10 d a d u r c h g e k e n n z e i c h n e t ,

dass durch das Verbindungssteuersignal (ISO) in einer Bitleitungsbewertungsphase jeweils eines von vier Bitleitungspaaren (21, 23; 22, 24) von den benachbarten Zellenblöcken dem jeweiligen Senseverstärker (SA) aufgeschaltet wird.

15

---

Zusammenfassung

RAM-Speicher und Steuerungsverfahren dafür

- 5 Die Erfindung betrifft einen RAM-Speicher mit Shared-SA-Struktur, bei dem in SA-Streifen (10) zwischen jeweils zwei benachbarten Zellenblöcken angeordnete Senseverstärker (SA) von mehreren Bitleitungspaaren (21, 22; 21 - 24) von den benachbarten Zellenblöcken genutzt werden und den Bitlei-
- 10 tungspaaren (21, 22; 21 - 24) einzeln jeweils Ladungsausgleichsschaltungen zugeordnet sind, um in einer Prechargephase einen Ladungsausgleich zwischen den Bitleitungshälften der Bitleitungspaare (21, 22; 21 - 24) auszuführen, wobei ein Kurzschluss transistor (30) vorgesehen ist, welcher auf ein
- 15 Steuersignal (EQLx) hin die Bitleitungshälften (BLT, BLC) der in der Prechargephase befindlichen Bitleitungspaare (21, 22; 21 - 24) miteinander verbindet. Der Kurzschluss transistor (30) ist gemeinsam für alle mit einem jeweiligen Senseverstärker (SA) verbindbaren Bitleitungspaare (21, 22; 21 - 24)
- 20 im oder am jeweiligen Senseverstärker (SA) angeordnet und über eine eigene Steuerleitung (9) durch ein separates Kurzschlusssteuersignal (EQLx) schaltbar.

(Fig. 5)



## Bezugszeichenliste

1, 2	Isolationstransistorpaar
3, 30	Kurzschluss transistor
4, 5	Driftausgleichstransistoren
6	Strombegrenzer
7, 71 - 74	Prechargesteuerleitung EQL, EQL1 - EQL4
8, 81, 82	Potentialleitung für Mittenpotential Vmitte (lokal)
9	Kurzschlusssteuerleitung für EQLx
10	SA-Streifen
11 - 14; 21 - 24	Bitleitungspaare
BLT, BLC	komplementäre Bitleitungshälften
60; 61 - 64	Steuerleitungen für Verbindungssteuer- signal ISO, ISO1 - ISO4
WLX1	Wortleitung mit der X-Adresse X1

FIG 1

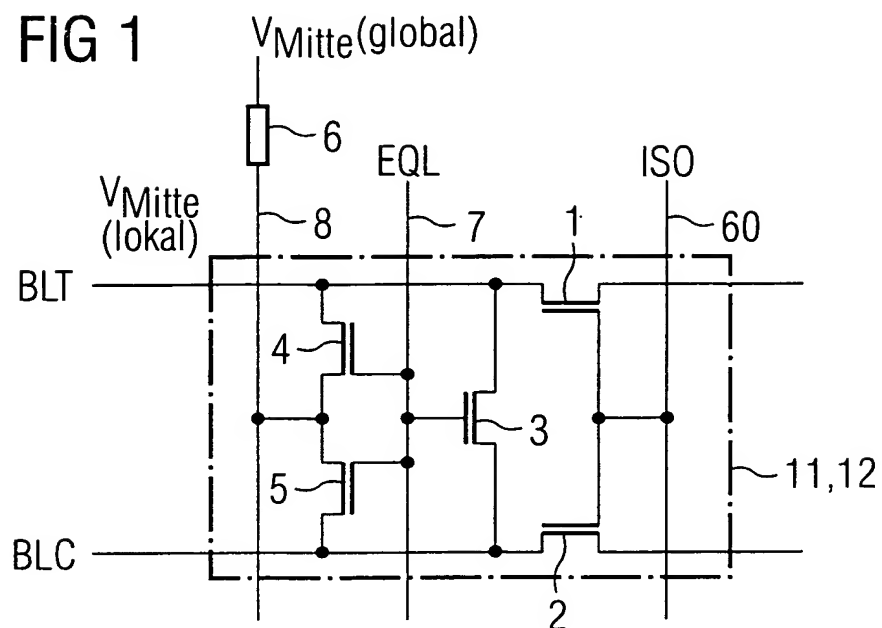


FIG 2

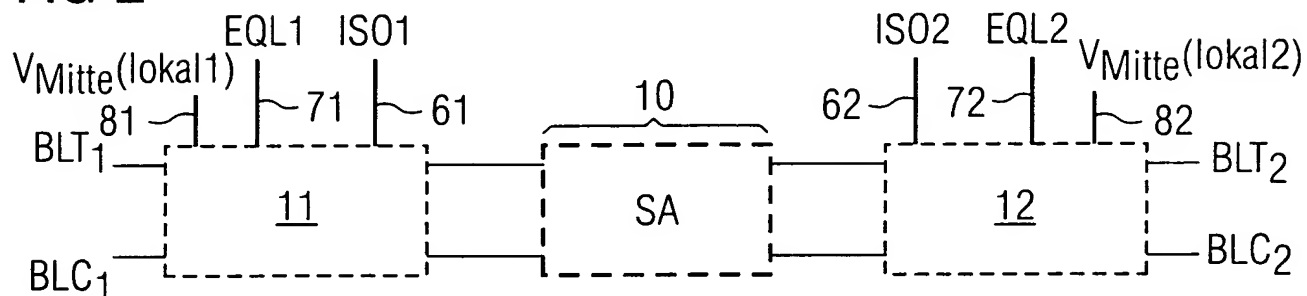


FIG 3

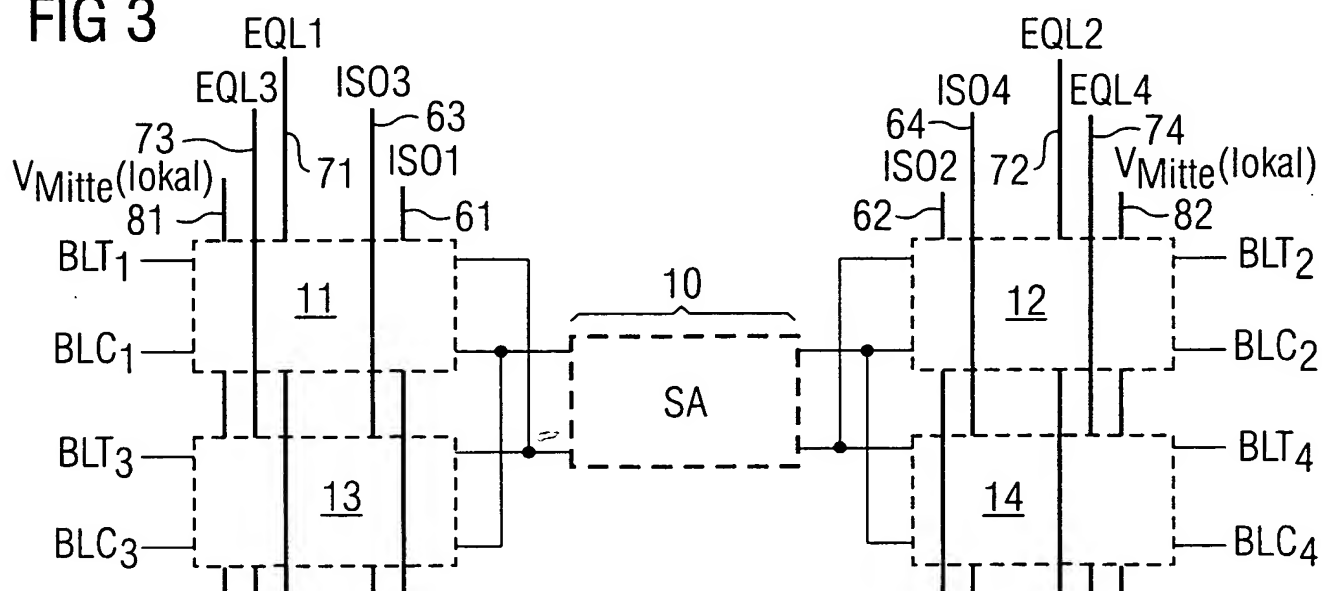


FIG 4

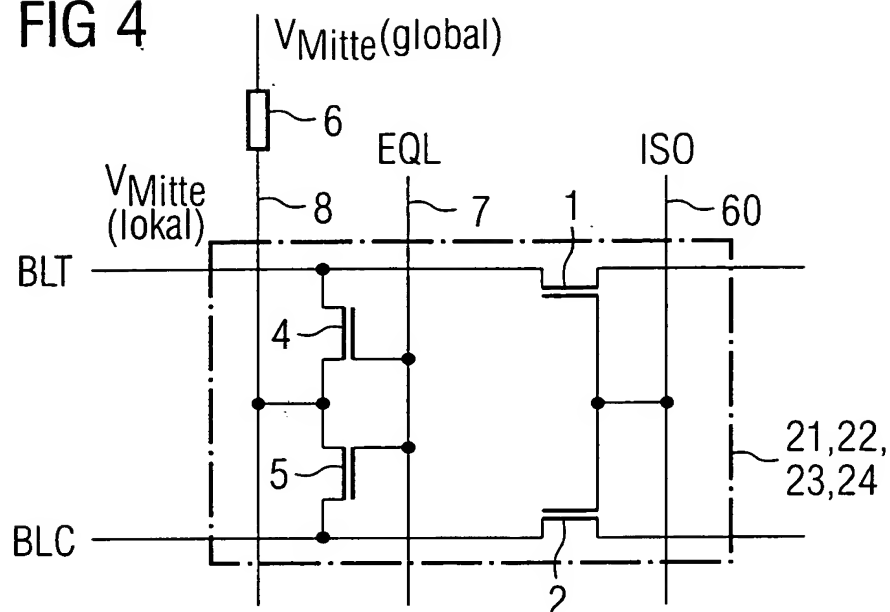


FIG 5

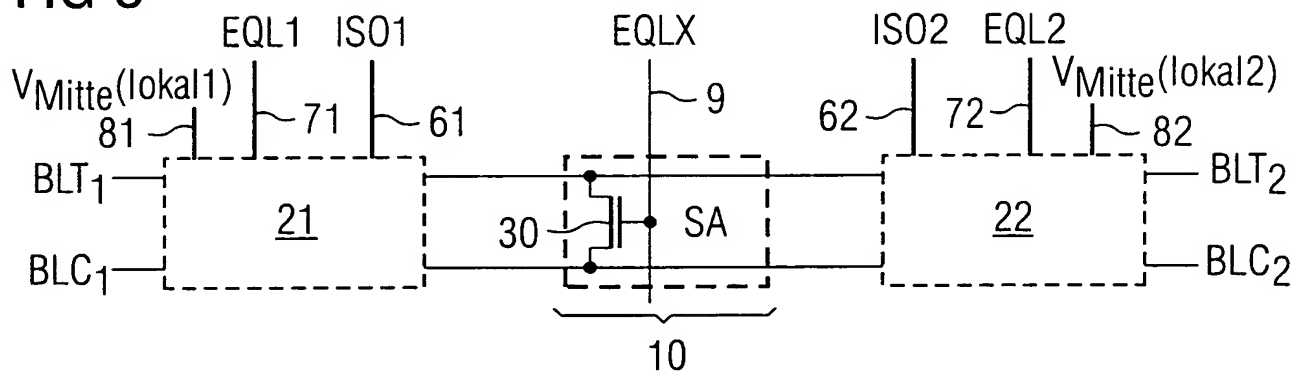


FIG 6

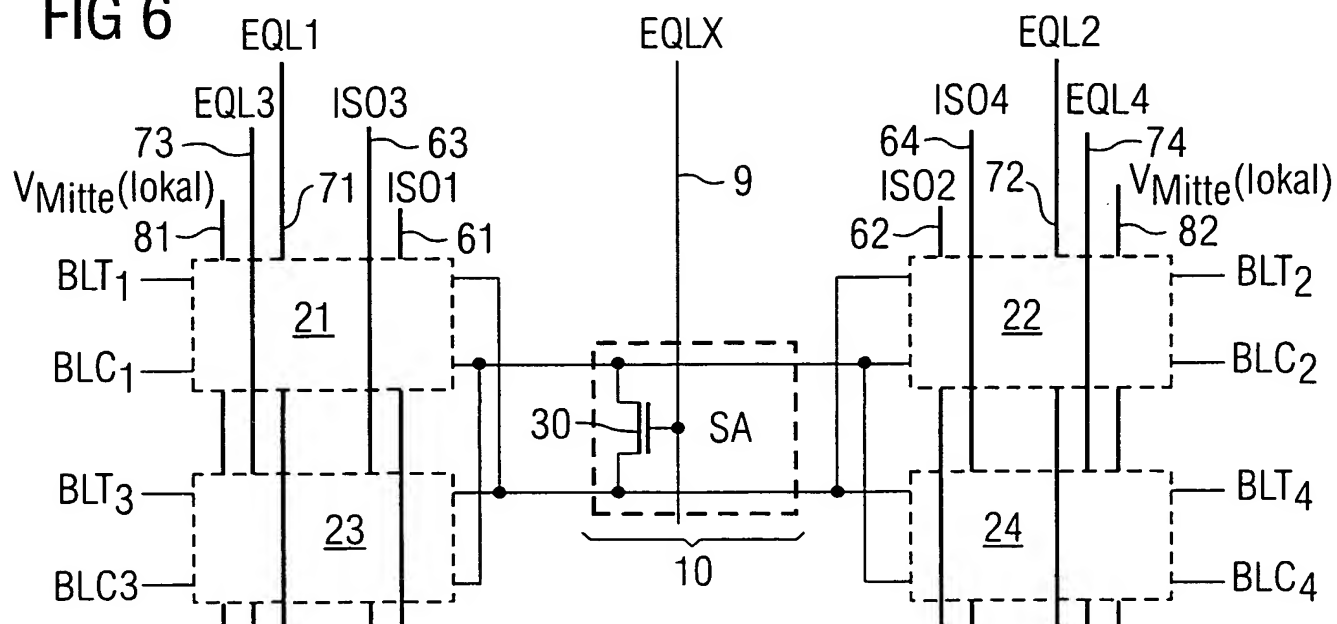


FIG 7A

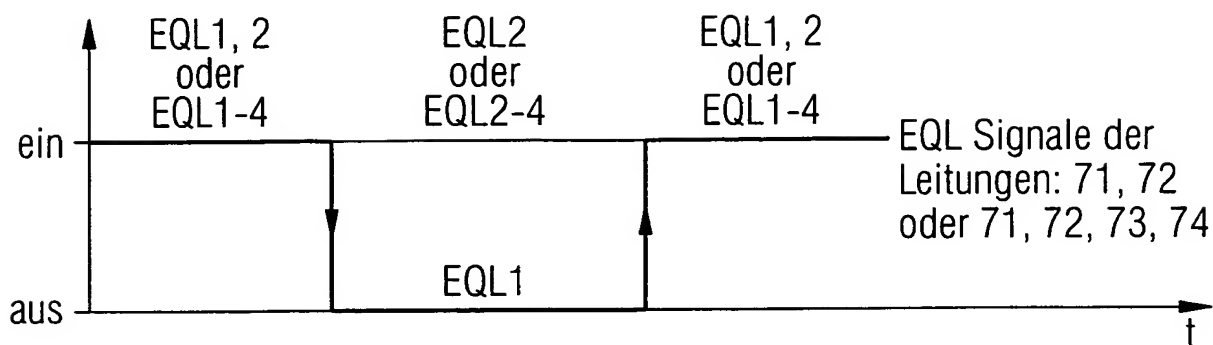


FIG 7B

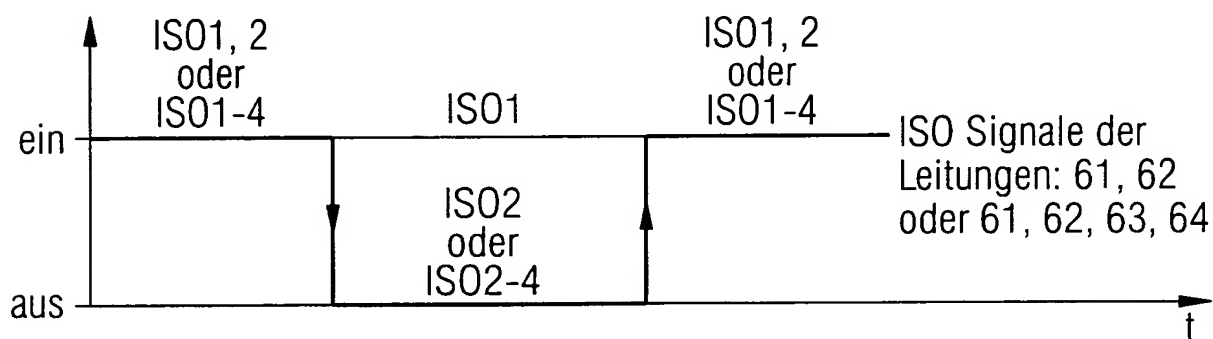


FIG 7C

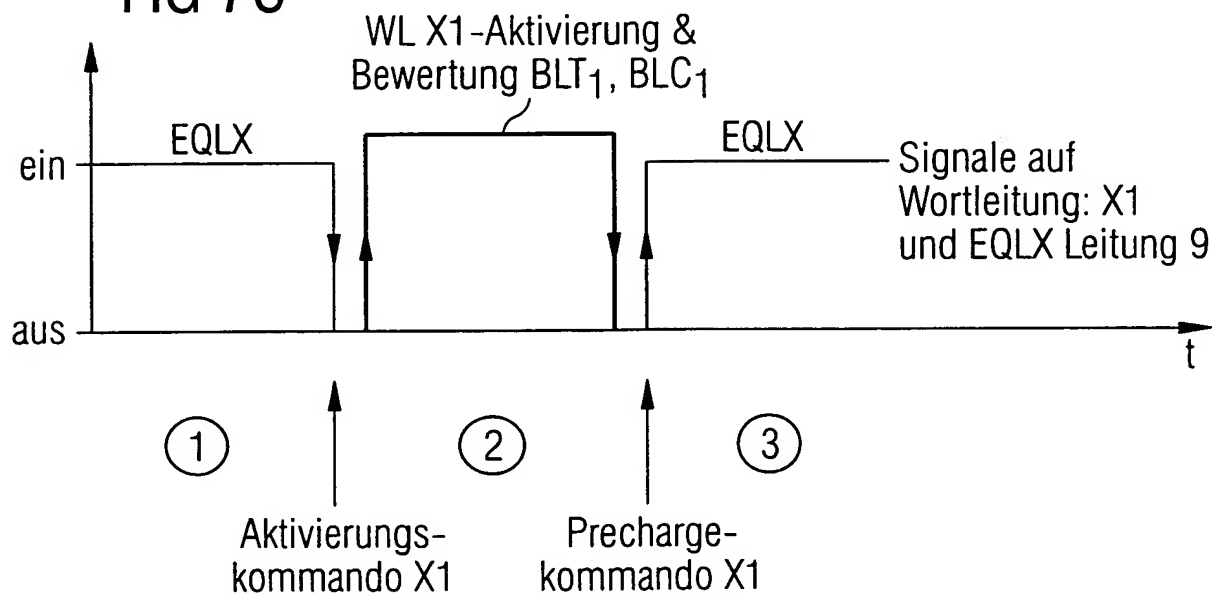




FIG 9A

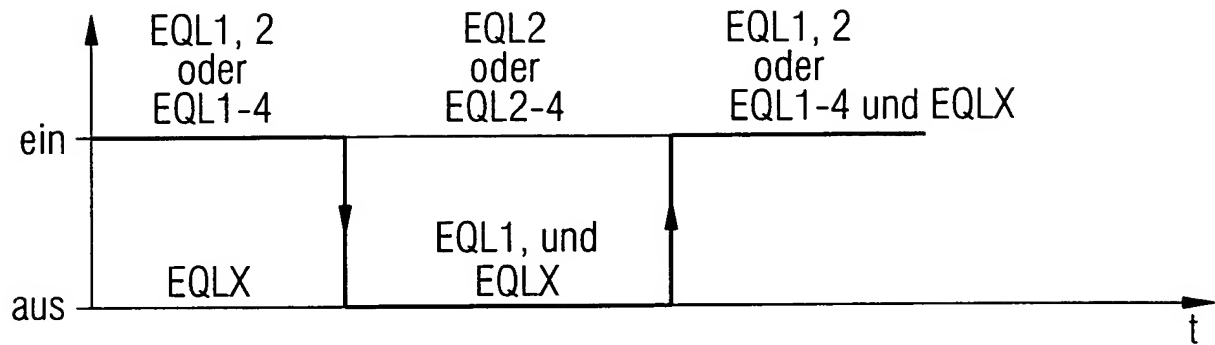


FIG 9B

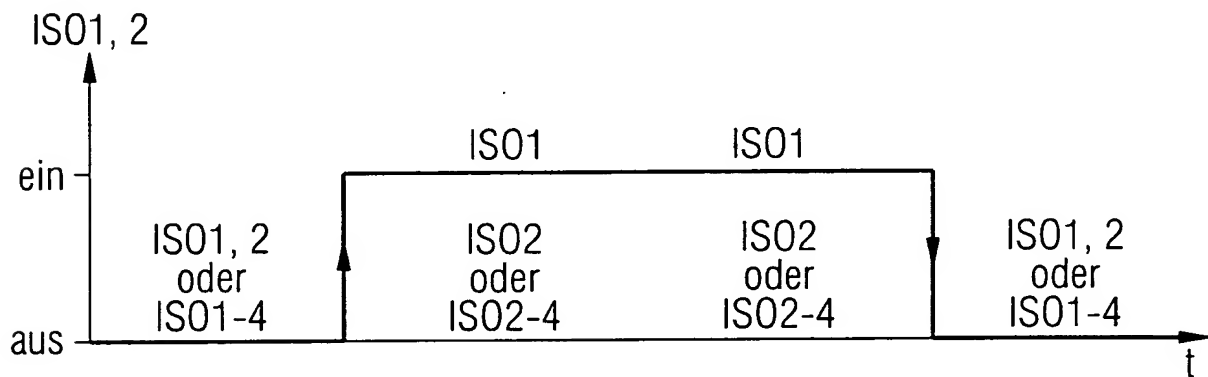
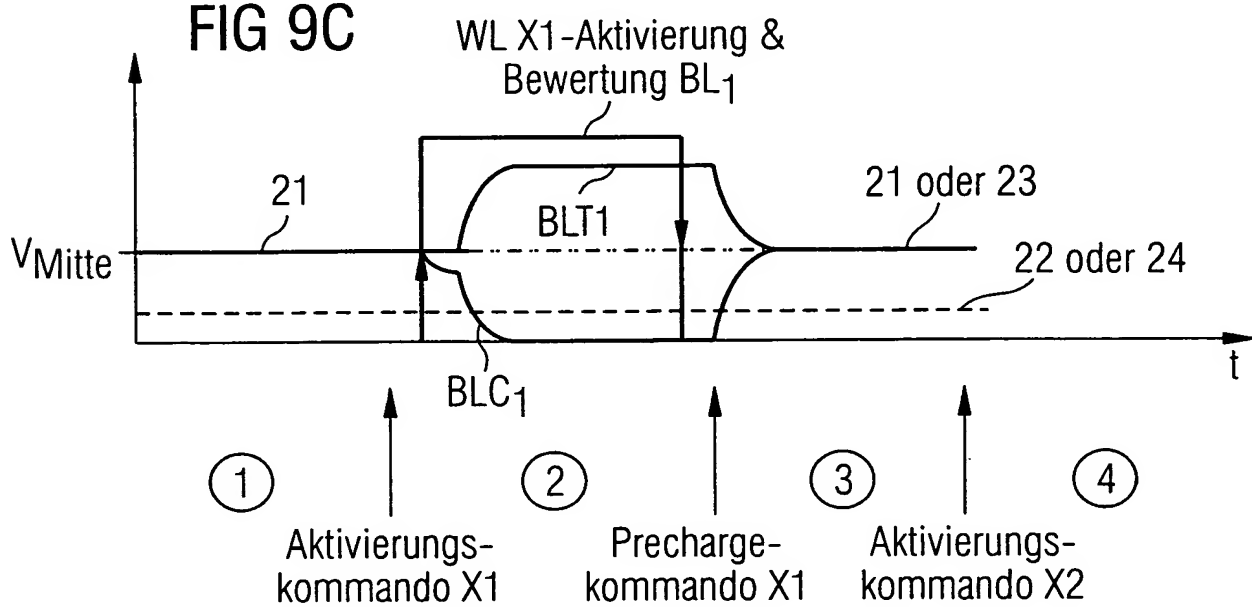


FIG 9C



Figur für die Zusammenfassung

FIG 5

